

Family list

1 family member for: **JP2000012215**

Derived from 1 application

1 EL DRIVE CIRCUIT SYSTEM

Inventor: SATO YOSHIHIKO

Applicant: SHICHIZUN DENSHI KK

EC:

IPC: *G02F1/133; H05B33/08; G02F1/13* (+3)

Publication info: **JP2000012215 A** - 2000-01-14

Data supplied from the *esp@cenet* database - Worldwide

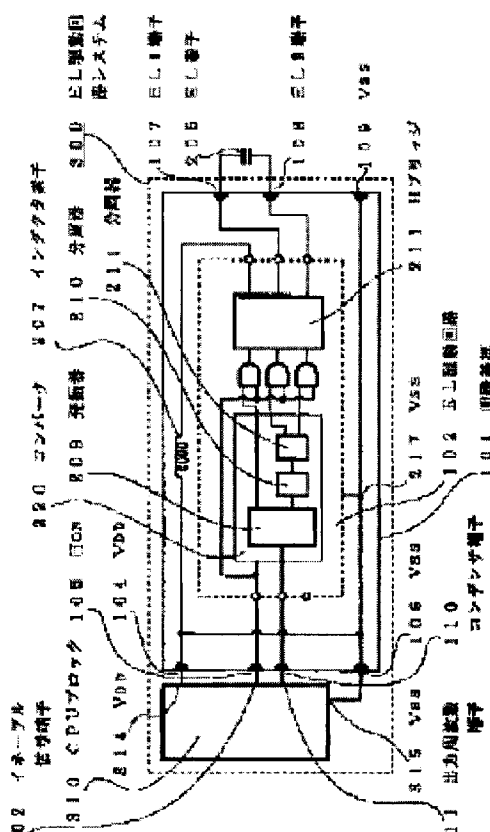
EL DRIVE CIRCUIT SYSTEM

Patent number: JP2000012215
Publication date: 2000-01-14
Inventor: SATO YOSHIHIKO
Applicant: SHICHIZUN DENSHI KK
Classification:
- international: *G02F1/133; H05B33/08; G02F1/13; H05B33/02; (IPC1-7): H05B33/08; G02F1/133*
- european:
Application number: JP19980193633 19980625
Priority number(s): JP19980193633 19980625

Report a data error here

Abstract of JP2000012215

PROBLEM TO BE SOLVED: To provide constitution of EL drive circuit system lowering luminance of an EL element at night, and automatically adjusting the luminance according to the brightness even in the daytime. **SOLUTION:** This EL drive circuit system 300 is constituted by a converter 220, a CPU block 310 in the front step to the converter 220, and a bridge 211. The CPU block 310 is composed of a brightness sensor (311), a signal amplifier (312), an analog-to-digital converter (313) and a CPU (301), on the same circuit board by an ASIC, etc. The luminance of an EL element 205 is automatically adjusted so as to accommodate itself to the environment, by introducing output frequencies corresponding to a real time clock and the brightness sensor 311 from the CPU (301) to the oscillator 209 of the converter 220.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項1】 コンバータおよびEL素子を駆動するHブリッジで構成されるEL駆動回路システムにおいて、前記コンバータの前段にCPUブロックを設け、該CPUブロックを、明暗センサと、信号増幅器と、A/Dコンバータと、明暗センサの出力に応じて可変となる出力周波数を前記EL駆動回路のコンバータの外部同期式発振器に導入するCPUとで構成し、前記CPUブロックを同一回路基板上に形成したことを特徴とするEL駆動回路システム。

【請求項2】 前記CPUブロックは、前記明暗センサの出力を信号増幅してA/Dコンバータで少なくとも1ビット以上にデジタイズし、予め前記CPUにエンコードされている出力周波数を前記A/Dコンバータの出力に応じてデコードし、明暗に応じて可変となる出力周波数を送出することを特徴とする請求項1に記載のEL駆動回路システム。

【請求項3】 前記CPUブロックは、CPUから送出されたリアルタイムクロック信号によって、予め前記CPUにエンコードされている出力周波数を前記リアルタイムクロック信号に応じてデコードし、リアルタイムクロック信号に応じて可変となる出力周波数を送出することを特徴とする請求項1に記載のEL駆動回路システム。

【請求項4】 前記CPUブロックのA/Dコンバータを少なくとも1ビット以上望ましくは4ビットに構成したことを特徴とする請求項2または請求項3に記載のEL駆動回路システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、車載用AV機器や、携帯機器であるPDA、携帯電話、PHS及びペジャ－等に用いられている液晶表示装置のバックライトとなるEL（エレクトロルミネッセンス）素子を駆動する駆動回路に関し、特に多機能を有する駆動回路システムの構成に関するものである。

【0002】

【従来の技術】車載用AV機器や、携帯機器であるPDA、携帯電話、PHS及びペジャ－等には、表示を見やすくするために光透過型の液晶表示装置が用いられることが多く、その場合は液晶表示装置の裏側にバックライトが用いられる。そして、前述のバックライトには、蛍光管やEL素子が使用されることがあるが、最近では軽薄短小と厳しいコスト要求に答えるために、フィルムに印刷技術で製造された約0.5mm以下の厚みに形成できる分散型EL素子が普及してきている。前記EL素子は、駆動回路の負荷としては容量負荷であり、搭載される機器によっては輝度約20Cd/m²が必要であり、且つEL素子の駆動の直流分による劣化を避けて更に輝度を得るには、片振幅で約80～90Vの300Hz前

後の交流電圧での駆動が必要である。特に、車載用AV機器では200Cd/m²以上の輝度が要求されることがあり、それに伴って高電圧の駆動電圧が必要となる。そして、前記機器には、電池が用いられており、従ってEL素子を駆動するためにはDC-ACコンバータが必要となる。前述のEL素子を駆動するDC-ACコンバータの従来例としては、商品番号SP4425（米国・Sipex社製）等の駆動IC（以下駆動回路Aと称す）を挙げることができる。以下では、駆動回路Aと関連する複合機能の問題について説明する。

【0003】

【発明が解決しようとする課題】図6は、駆動回路Aを示す構成概略図である。図7は、回路基板上に構成される駆動回路Aの主要ブロック図である。同2において、駆動回路Aは、主として点線で囲まれたコンバータ220とEL素子を駆動する駆動回路であるHブリッジ221とで構成されている。コンバータ220は、主として発振器209、分周器210、211とで構成され、Hブリッジ221は主として駆動スイッチングトランジスタ（以下スイッチングトランジスタ）208、サイリスタ202、204、EL駆動バイポーラトランジスタ（以下トランジスタ）201、203とで構成される。直流入力電源（この場合は電池）は電源端子212（VDD）、206（VDD）、217（VSS）に接続され、同じ電源に接続された発振器209は、発振器209の発振周波数を適宜分周する分周器210、211と接続され、分周器210、211は前記携帯機器のメインボード（図示せず）からの指示によってEL素子の点灯をオンオフするメインスイッチ213に接続される。スイッチングトランジスタ208のベースにはメインスイッチ213に接続されているアンド回路214の出力端子が接続され、スイッチングトランジスタ208の負荷としてマグネットワイヤが巻回されて形成されたインダクタ207が接続される。EL素子205は負荷容量として、サイリスタ202、204を経由してトランジスタ201、203のコレクタに接続され、更にトランジスタ201、203のコレクタに接続されている。また、トランジスタ201、203のベースには、メインスイッチ213に接続されているアンド回路215、216の出力端子が夫々接続されている。

【0004】図6において、今、携帯機器のメインボードからの指示でメインスイッチ213が閉じると、発振器209の発振周波数を適宜分周する分周器210、211を経由して、アンド回路214の出力がスイッチングトランジスタ208のベースに加わり、スイッチングトランジスタ208はオンとなる。このオンになる周期は、数10kHzでありその約94%のデューティで駆動されて、インダクタ207には電磁エネルギーが蓄えられる。前記周波数の残りの約6%のデューティで、スイッチングトランジスタ208はオフとなる。一方で、

EL素子205の印加されている電圧の極性に応じてアンド回路215または216の出力が夫々ベースに印加されてトランジスタ201または203はオンとなり、EL素子205には電荷が蓄積されて電圧が上昇し、EL素子205はアンド回路215または216を交互にオンさせる300Hz前後の駆動周波数で交互に駆動されて、電気エネルギーを変換して発光するのである。

【0005】図7において、点線で囲んで示したEL駆動回路102は、図2の従来例と同様にコンバータ220、Hブリッジ221とで構成されて回路基板101上に形成される。回路基板101の両端には、接続端子が設けられ、例えば一端側にはVdd端子104、外部信号を受けるHon端子105、Vss端子106、コンデンサ端子110、111、他端側にはEL素子205に接続されるEL1端子107、EL2端子108、Vss端子109が配設される。コンバータ220は、発振器209、分周器210、211とで構成され、Hブリッジ221は、図6の従来例と同様に主として駆動スイッチングトランジスタ（以下スイッチングトランジスタ）208サイリスタ202、204、EL駆動バイポーラトランジスタ（以下トランジスタ）201、203とで構成されるが、従来例との重複を避けて詳細は省略する。直流入力電源（この場合は電池）は回路基板101のVdd端子104、Vss端子106に接続され、そしてVdd端子104、Vss端子106はEL駆動回路102の直流入力電源（この場合は電池）は電源端子212（VD）、217（VSS）に接続され、インダクタ207が電源端子212（VDD）とHブリッジ221間に接続され、電源に接続された発振器209は、発振器209の発振周波数を適宜分周する分周器210、211と接続され、分周器210、211は前記携帯機器のメインボード（図示せず）からの指示によってEL素子の点灯をイネーブルにするHon端子105に接続される。そして、回路基板101のEL1端子107、EL2端子108間にはEL素子105がHブリッジの負荷として接続される。そして、コンデンサ103が発振器209のコンデンサ端子110、111に接続されて発振周波数がきめられる構成となる。

【0006】図6、図7において、EL駆動回路102の発振器209には、コンデンサ103が接続されている。直流電源がVdd端子104、Vss端子106に接続され、Hon端子105にイネーブル信号が印加されると、EL素子205は点灯する。

【0007】しかしながら、文献Aで開示された回路構成のみでは、例えば夜間ではEL素子の輝度を落とすことや、昼でも明暗に応じて輝度を自動的に調整することが要求されているが対処することができない。一方、従来から多機能を有するEL駆動回路は発表されている。例えば、米国・Sipe社製の商品番号SP4415

では時計機能が内臓されている。また、米国・Sipe社製の商品番号SP4460では、時計用モータドライバが、同SP4501ではピエゾブザードライバが、同SP4441では多機能タイマが内臓されている。しかしながら、EL素子の輝度を生活時間、明暗の環境に合わせて、総合的に設けられた多機能というより複合機能を有するEL駆動回路システムは提案されていない。本発明の目的は、前述の欠点を除去して、複合機能を有するEL駆動回路システムを提案するものである。

【0008】

【課題を解決するための手段】課題を解決するためになされた請求項1の本発明のEL駆動回路システムは、コンバータおよびEL素子を駆動するHブリッジで構成されるEL駆動回路システムにおいて、前記コンバータの前段にCPUブロックを設け、該CPUブロックを、明暗センサと、信号増幅器と、A/Dコンバータと、明暗センサの出力に応じて可変となる出力周波数を前記EL駆動回路のコンバータの外部同期式発振器に導入するCPUとで構成し、前記CPUブロックを同一回路基板上に形成したことを特徴とする。

【0009】課題を解決するためになされた請求項2の本発明のEL駆動回路システムは、前記CPUブロックは、前記明暗センサの出力を信号増幅してA/Dコンバータで少なくとも1ビット以上にデジタル化し、予め前記CPUにエンコードされている出力周波数を前記A/Dコンバータの出力に応じてデコードし、明暗に応じて可変となる出力周波数を送出することを特徴とする。

【0010】課題を解決するためになされた請求項3の本発明のEL駆動回路システムは、前記CPUブロックは、CPUから送出されたリアルタイムクロック信号によって、予め前記CPUにエンコードされている出力周波数を前記リアルタイムクロック信号に応じてデコードし、リアルタイムクロック信号に応じて可変となる出力周波数を送出することを特徴とする。

【0011】課題を解決するためになされた請求項4の本発明のEL駆動回路システムは、前記CPUブロックのA/Dコンバータを少なくとも1ビット以上望ましくは4ビットに構成したことを特徴とする請求項2または請求項3に記載のEL駆動回路システム。

【0012】

【発明の実施の形態】以下では、本発明の実施の形態を、従来例との重複を避け同一の符号を用い、図面に基づいて説明する。図1は、本発明のEL駆動回路システムの構成図である。図2は、本発明のCPUブロックの基本構成図である。図3は、本発明のCPUブロックの回路構成図である。図4は、明暗センサの増幅出力説明図である。図5は、他の発明のリアルタイムクロックに対応する輝度説明図である。図1、図2において、EL駆動回路システム300は、ASIC等で同一の回路基

板上にコンバータ220、コンバータ220の前段に設けられたCPUブロック310、Hブリッジ211で構成される。CPUブロック310は、明暗センサ311、信号増幅器312、A/Dコンバータ313、CPU301とで構成され、Vdd314を経由してVdd端子104に、Vss315を経由してVss端子106に接続される。明暗センサ311の出力は、信号増幅器312を経てA/Dコンバータ313に入力され信号増幅器312のアナログ出力はデジタイズされる。予めCPU301にエンコードされている出力周波数は、A/Dコンバータ313の出力でデコードされる。CPU301の出力周波数端子111はコンデンサ端子110に接続され、イネーブル信号端子302はHon端子105に接続される。本発明の発振器209は外部信号同期型であり、前記出力周波数信号はCPU301によって供給される。一般に、EL素子205の輝度は、発振器209の発振周波数が上がると上昇することが確認されている。

【0013】図3において、CPUブロック310の本実施例では、明暗センサ311はホトトランジスタで構成され、その出力はエミッタ接置の信号増幅器312に接続され、その出力はA/Dコンバータ313に接続され、A/Dコンバータ313の出力に応じてCPU301から出力周波数が送出される。明暗センサ311はホトダイオードやCdS等で構成してもよい。

【0014】図3、図4において、環境の明暗によって変化する光を明暗センサ311が受光すると出力電圧が発生し、その出力電圧は信号増幅器312によって増幅される。増幅された信号はアナログ量であるが、少なくとも1ビット以上4ビット程度までのA/Dコンバータ313によってデジタイズされる。A/Dコンバータ313のビット数は、1ビットでは単なる1段階の明暗であるが、もう少しきめ細かくするなら4ビットもあれば1/16ずつ明るさを制御できる。これ以上ビット数を大きくしても顕著な効果は余り期待できずコストアップに繋がる。従って、A/Dコンバータ313のビット数は、1以上4程度が望ましい。昼間のように外光が明るいときには、明暗センサ311によって外光の明るさを検出してCPU301からの出力周波数を上げてそれと同期する発振器209の発振周波数をあがるようにしてEL素子205の輝度を上げ、また夜間のように外光が暗いときには、センサによって外光の明るさを検出してCPU301からの出力周波数を下げてそれと同期する発振器209の発振周波数を下げてEL素子205の輝度を下がるようにする。

【0015】図5において、CPU301のリアルタイムクロック機能によって生活時間に合わせて昼間、夜間等に必要なEL素子205の輝度を調整するように、CPUブロック310のCPU301から送出されたリアルタイムクロック信号によって、予めCPU301にエ

ンコードされている出力周波数を前記リアルタイムクロック信号に応じてデコードし、リアルタイムクロック信号に応じて可変となる出力周波数を送出する。例えば夏であれば7時から18時間までを比較的高い周波数を送出すれば、発振器209の発振周波数ををあげてEL素子205の輝度を増加することができる。18時から翌朝の7時までを低い周波数を送出すれば、発振器209の発振周波数を下げてEL素子205の輝度を低下するようにできる。冬の場合は、それに見合うリアルタイムクロックの設定をすればよい。このように、リアルタイムクロック機能や、環境の明暗に適応する出力周波数の可変機能によって複合的な機能を有するEL駆動回路システムを構成できる。なを、図5では、輝度が1段階の差でしか表示されていないが、A/Dコンバータ313のビット数で多様に輝度を調整できることは明らかである。また、リアルタイムクロックの内容を時間軸上で細かく分割してもよいことは明らかである。また、明暗機能とリアルタイム機能を併用しても本発明の趣旨を妨げるものではない。

【0016】

【発明の効果】本発明によれば、EL素子の輝度を生活時間、明暗の環境に合わせて、総合的に設けられた複合機能を有するコスト/パフォーマンスの優れたEL駆動回路システムがASIC等によって容易に構成でき、実用効果は顕著である。

【図面の簡単な説明】

【図1】本発明のEL駆動回路システムの構成図である。

【図2】本発明のCPUブロックの基本構成図である。

【図3】本発明のCPUブロックの回路構成図である。

【図4】明暗センサの増幅出力説明図である。

【図5】他の発明のリアルタイムクロックに対応する輝度説明図である。

【図6】駆動回路Aを示す構成概略図である。

【図7】回路基板上に構成される駆動回路Aの主要ブロック図である。

【符号の説明】

- 101 回路基板
- 102 EL駆動回路
- 103 容量変化検出コンデンサ
- 104、212、314 Vdd端子
- 105 Hon端子
- 106、109、217、315 Vss端子
- 107 EL1端子
- 108 EL2端子
- 110 コンデンサ端子
- 111 出力周波数端子
- 205 EL素子
- 207 インダクタ素子
- 209 発振器

- 【图 1】



